

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-299986
(P2002-299986A)

(43)公開日 平成14年10月11日(2002.10.11)

(51)Int.Cl. ⁷	識別記号	F I	キーワード(参考)
H 0 3 H 5/02		H 0 3 H 5/02	4 E 3 5 1
H 0 1 F 27/00		H 0 1 F 17/00	B 5 E 0 7 0
	17/00	H 0 3 B 5/12	Z 5 J 0 2 4
H 0 3 B 5/12		H 0 5 K 1/16	B 5 J 0 8 1
H 0 5 K 1/16		H 0 1 F 15/00	D
審査請求 未請求 請求項の数5 OL (全 4 頁)			

(21)出願番号 特願2001-100362(P2001-100362)

(22)出願日 平成13年3月30日(2001.3.30)

(71)出願人 000010098

アルプス電気株式会社
東京都大田区雪谷大塚町1番7号

(72)発明者 植田 和彦

東京都大田区雪谷大塚町1番7号 アルプ
ス電気株式会社内

(74)代理人 100078134

弁理士 武 順次郎 (外3名)

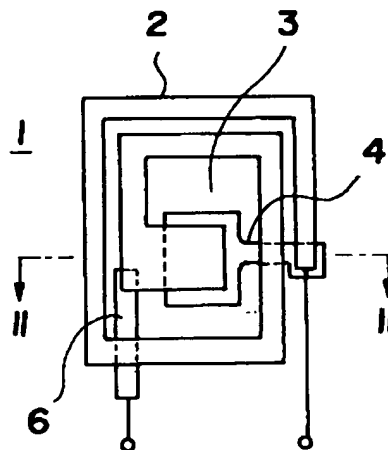
最終頁に続く

(54)【発明の名称】 電子回路ユニット

(57)【要約】

【課題】 基板上のデッドスペースを可及的に少なくして実装効率を高めた電子回路ユニットを提供すること。

【解決手段】 アルミナ基板1上に渦巻き形状のインダクタンス素子2を薄膜形成すると共に、このインダクタンス素子2によって囲まれた内側領域に薄膜コンデンサ3を配設し、この薄膜コンデンサ3の上部電極3cをインダクタンス素子2の内方端部に接続した。また、薄膜コンデンサ3の下部電極3bを引き出し部4を介してインダクタンス素子2の外方端部に接続すると共に、インダクタンス素子2の内方端部から外方に向けて別の引き出し部6を導出し、これら引き出し部4、6とインダクタンス素子2とが重なる部分に絶縁体層5を介設した。



【特許請求の範囲】

【請求項1】 基板上に膜形成された渦巻き形状のインダクタンス素子と、前記基板上の前記インダクタンス素子によって囲まれる領域内に配設された回路素子とを備え、前記インダクタンス素子の内方端部と前記回路素子とが電気的に接続されていることを特徴とする電子回路ユニット。

【請求項2】 請求項1の記載において、前記回路素子がコンデンサとダイオードおよび抵抗のいずれか1つであることを特徴とする電子回路ユニット。

【請求項3】 請求項1または2の記載において、前記インダクタンス素子の内方端部から外部に向けて第1の引き出し部が導出されると共に、前記回路素子から外部に向けて第2の引き出し部が導出され、この第2の引き出し部と前記インダクタンス素子の外方端部とが電気的に接続されていることを特徴とする電子回路ユニット。

【請求項4】 請求項3の記載において、前記第1および第2の引き出し部と前記インダクタンス素子との間に絶縁体層が介設されていることを特徴とする電子回路ユニット。

【請求項5】 請求項1の記載において、前記インダクタンス素子と前記回路素子とが前記基板上にフォトリソ技術を用いて薄膜形成されたものであることを特徴とする電子回路ユニット。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高周波デバイス等として使用される電子回路ユニットに係り、特に、インダクタンス素子を基板上に渦巻き形状に膜形成した回路構成を有する電子回路ユニットに関する。

【0002】

【従来の技術】電子回路ユニットは基板上に各種回路部品を実装したものであり、例えば携帯電話等の無線通信機器の分野においては、電圧制御発振器を構成する共振回路と発振回路およびバッファ回路の各回路部品を同一基板上に実装した電子回路ユニットが使用されている。通常、このような電子回路ユニットでは、チップコンデンサやチップインダクタ等の回路部品が基板上に設けられた導電パターンの半田ランドに半田付けされているため、各回路部品の半田付け部分が短絡しないに部品間ピッチを設定する必要があり、このことが電子回路ユニットの小形化を妨げる要因となっていた。

【0003】そこで近年、抵抗やコンデンサあるいはインダクタ等の回路部品を基板上にフォトリソ技術を用いて薄膜形成し、電子回路ユニットの実装密度を高めて小形化を図るという試みがなされている。例えば、必要とされる回路構成がインダクタとコンデンサの並列共振回路を有している場合、図4に示すように、基板10上にインダクタンス素子11を渦巻き形状に薄膜形成すると共に、このインダクタンス素子11の内方端部から導出

する引き出し部とインダクタンス素子11の外方端部とを絶縁層を介して積層すれば、渦巻き形状のインダクタンス素子11の近傍に薄膜コンデンサ12を並設することができる。

【0004】

【発明が解決しようとする課題】前述したように、基板10上に共振回路のインダクタンス素子11と薄膜コンデンサ12を薄膜形成すると共に、この基板10上に抵抗やコンデンサ等の他回路の回路素子も薄膜形成すれば、必要とされる回路素子が全て薄膜技術を用いて高精度に形成されるため、チップ抵抗やチップコンデンサあるいはチップインダクタ等の回路部品を用いた場合に比べると、実装密度を高めて電子回路ユニットを小形化できるという利点があるもの、問題がないわけではない。すなわち、渦巻き形状に薄膜形成されたインダクタンス素子11の外側に薄膜コンデンサ12が並設されているため、インダクタンス素子11によって囲まれた内側の領域が実装上のデッドスペースとなり、その結果、電子回路ユニットの更なる小形化が妨げられたり、共振用インダクタのQ値を高めることが困難になる等の改善の余地があった。なお、このような問題は必要とされる回路構成がインダクタとコンデンサの並列共振回路を有している場合に限らず、インダクタとコンデンサの直列共振回路や、インダクタに抵抗やトランジスタ等のコンデンサ以外の回路部品が接続されている場合も同様である。

【0005】本発明は、このような従来技術の実情に鑑みてなされたもので、その目的は、基板上のデッドスペースを可及的に少なくして実装効率を高めた電子回路ユニットを提供することにある。

【0006】

【課題を解決するための手段】上記の目的を達成するために、本発明の電子回路ユニットでは、基板上に膜形成された渦巻き形状のインダクタンス素子と、前記基板上の前記インダクタンス素子によって囲まれる領域内に配設された回路素子とを備え、前記インダクタンス素子の内方端部と前記回路素子とが電気的に接続されているように構成した。

【0007】このように構成された電子回路ユニットでは、渦巻き形状のインダクタンス素子の内側領域が他の回路素子の実装領域として有効利用されるため、基板上のデッドスペースを可及的に少なくして実装効率を高めることができ、その分、電子回路ユニットの小形化を促進したりQ値を高めることができる。なお、インダクタンス素子の内側領域に配設される回路素子は特に限定されないが、コンデンサとダイオードおよび抵抗のいずれか1つであることが好ましい。

【0008】上記の構成において、インダクタンス素子と回路素子が直列接続される場合、回路素子からインダクタンス素子の外部に向けて引き出し部を導出すれば良いが、これらインダクタンス素子と回路素子が並列接続

される場合、インダクタンス素子の内方端部から外部に向けて第1の引き出し部を導出すると共に、回路素子から外部に向けて第2の引き出し部を導出し、この第2の引き出し部とインダクタンス素子の外方端部とを電氣的に接続することが好ましい。この場合、第1および第2の引き出し部としてボンディングワイヤーを用いても良いが、これら第1および第2の引き出し部とインダクタンス素子との間に絶縁体層を介設することが好ましく、このようにすると、インダクタンス素子と両引き出し部および絶縁体層を全て薄膜技術によって高精度に形成することが

【0009】

【発明の実施の形態】以下、発明の実施の形態について図面を参照して説明すると、図1は第1の実施形態に係る電子回路ユニットの要部平面図、図2は図1のII-II線に沿う拡大断面図である。

【0010】図1に示すように、本実施形態に係る電子回路ユニットは、アルミナ基板1上に蒸着やスパッタ等のフォトリソ技術を用いて薄膜形成されたインダクタンス素子2と薄膜コンデンサ3とを備えており、図示省略されているが、この基板1上の他の領域には別の回路素子も薄膜形成されている。インダクタンス素子2は所定のターン数をもって渦巻き形状に形成されており、このインダクタンス素子2によって囲まれた内側領域に薄膜コンデンサ3が配設されている。図2に示すように、この薄膜コンデンサ3はSiO₂等の誘電体層3aを介して下部電極3bと上部電極3cを積層したもので、薄膜コンデンサ3の上部電極3cはインダクタンス素子2の内方端部に接続され、薄膜コンデンサ3の下部電極3bは引き出し部4を介してインダクタンス素子2の外方端部に接続されている。この引き出し部4はインダクタンス素子2を横切って外方へ導出されており、これらインダクタンス素子2と引き出し部4が重なる部分には絶縁体層5が介設されている。また、インダクタンス素子2の内方端部から外方に向けて別の引き出し部6が導出されており、図示せぬが、これらインダクタンス素子2と引き出し部6の重なり部分にも絶縁体層が介設されている。したがって、これら両引き出し部4、6を外部端子とすることにより、アルミナ基板1上にインダクタンス素子2と薄膜コンデンサ3の並列共振回路が実装されることになる。なお、インダクタンス素子2と薄膜コンデンサ3の接続方法として、上記とは反対に薄膜コンデンサ3の下部電極3bをインダクタンス素子2の内方端部に接続し、上部電極3cを引き出し部4を介してインダクタンス素子2の外方端部に接続することも可能である。

【0011】上記した第1の実施形態に係る電子回路ユニットにおいては、アルミナ基板1上に薄膜形成した渦巻き形状のインダクタンス素子2の内側領域が薄膜コンデンサ3の実装領域として有効利用されるため、その

分、アルミナ基板1上のデッドスペースを少なくして実装効率を高めることができる。したがって、インダクタンス素子の外側に薄膜コンデンサを並設した場合に比べると、インダクタンス素子2の線幅やターン数を変えずに電子回路ユニットの小形化が実現され、あるいは、外側に必要とされていた薄膜コンデンサの形成領域までインダクタンス素子2を広げれば、電子回路ユニットの大形化を伴わずにQ値を高めることができる。

【0012】図3は第2の実施形態に係る電子回路ユニットの要部平面図であり、本実施形態が前述した第1の実施形態と相違する点は、インダクタンス素子2の内側領域をダイオードの実装領域としたことにある。すなわち、インダクタンス素子2の内方端部には接続ランド2aが一体形成されており、この接続ランド2a上にダイオードのベアチップ7が導電性接着剤等を用いて実装されている。また、インダクタンス素子2の外側にはパッド部8が薄膜形成されており、ベアチップ7とパッド部8はボンディングワイヤー9によって接続されている。したがって、第2の実施形態に係る電子回路ユニットにおいても、アルミナ基板1上に薄膜形成した渦巻き形状のインダクタンス素子2の内側領域がダイオードのベアチップ7の実装領域として有効利用されるため、その分、アルミナ基板1上のデッドスペースを少なくして実装効率を高めることができる。

【0013】なお、本発明による電子回路ユニットは、上記した各実施形態以外にも種々の変形例を採用することが可能であり、例えば、インダクタンス素子2を角形の渦巻き形状にする代わりに円形の渦巻き形状にしてもよく、また、インダクタンス素子2の内側領域に薄膜コンデンサ3やダイオードのベアチップ7の代わりに薄膜抵抗を配設してもよい。さらに、インダクタンス素子2とその内側領域に配設される回路素子との接続も適宜変更することができ、例えば、第1の実施形態においてインダクタンス素子2と薄膜コンデンサ3の直列共振回路を構成する場合は、一方の引き出し部4をインダクタンス素子2の内側から外方へ導出し、この引き出し部4とインダクタンス素子2の外方端部を外部端子とすればよい。

【0014】

【発明の効果】本発明は、以上説明したような形態で実施され、以下に記載されるような効果を奏する。

【0015】基板上に膜形成された渦巻き形状のインダクタンス素子の内側領域が他の回路素子の実装領域として有効利用されるため、基板上のデッドスペースを可及的に少なくして実装効率を高めることができ、その分、電子回路ユニットの小形化を促進したりQ値を高めることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る電子回路ユニットの要部平面図である。

【図2】図1のII-II線に沿う拡大断面図である。

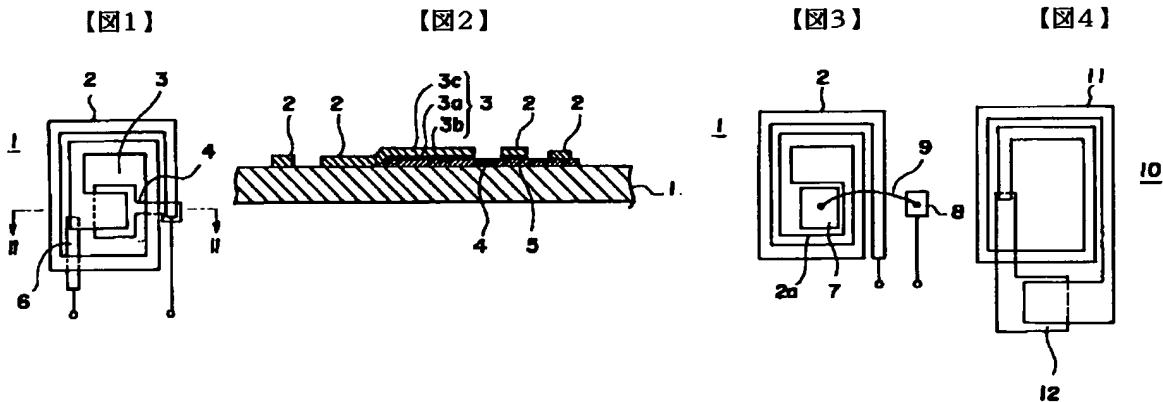
【図3】本発明の第2の実施形態例に係る電子回路ユニットの要部平面図である。

【図4】従来提案に係る電子回路ユニットの要部平面図である。

【符号の説明】

- 1 アルミナ基板
2 インダクタンス素子
2a 接続ランド

- 3 薄膜コンデンサ
3a 誘電体層
3b 下部電極
3c 上部電極
4, 6 引き出し部
5 絶縁体層
7 ペアチップ
8 パッド部
9 ボンディングワイヤー



フロントページの続き

Fターム(参考) 4E351 AA07 BB03 BB05 BB09 BB15
BB22 BB24 CC01 GG01
5E070 AA05 AB01 BA01 CB03 CB15
DB03
5J024 AA10 DA04 DA29 DA32
5J081 AA02 CC42 EE02 EE03 JJ12
JJ14 JJ18 MM06